

STORING METHOD FOR MEMORY CONTENTS

Publication number: JP61151897

Publication date: 1986-07-10

Inventor: KOIBUCHI SHOICHI

Applicant: YAMATAKE HONEYWELL CO LTD

Classification:

- **international:** G11C17/00; G06F12/16; G11C7/00; G11C16/02; G11C29/00; G11C29/04; G11C17/00; G06F12/16; G11C7/00; G11C16/02; G11C29/00; G11C29/04; (IPC1-7): G11C7/00; G11C17/00

- **European:**

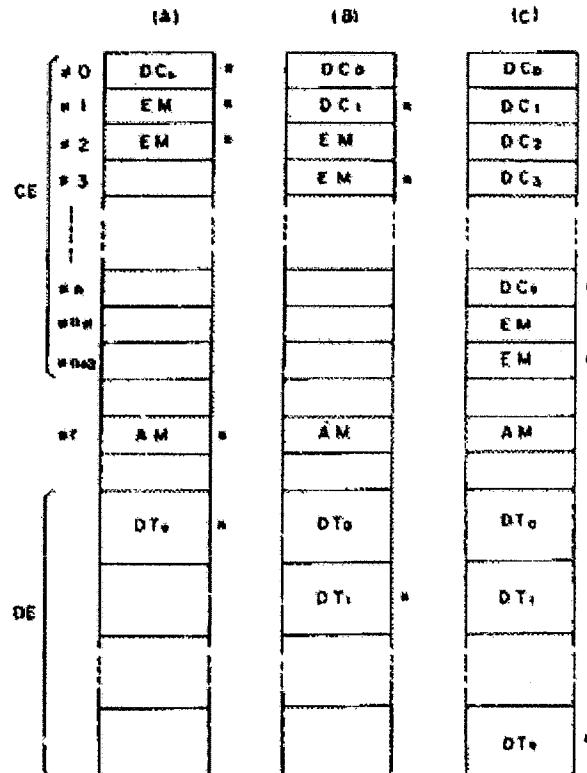
Application number: JP19840273135 19841226

Priority number(s): JP19840273135 19841226

[Report a data error here](#)

Abstract of JP61151897

PURPOSE: To increase the overall lifetime of a memory to which the replacement frequency of contents of an EEPROM, etc. is limited, by performing the replacement of contents with an approximately equal frequency for each address. **CONSTITUTION:** A data code DC0 is stored to a head address #0 of a code area CE, and the end marks EM are stored to both head addresses #1 and #2 following the address #0. Then the corresponding data DT0 is stored to plural continuous addresses with the head address of a data area DE defined as a standard. When data are stored, a data code DC1 is stored to the address #1 after replacement of the contents. At the same time, the mark EM is stored to the address #3. The data DT1 is stored to each address following the data DT0. Hereafter the similar operations are repeated. The storage of 1 time is carried out to addresses #0 and n+2; while the storage of 2 times are carried out to addresses #1-n+1 respectively. Then the storage of one time is carried out to each address of the area DE. Thus the storage frequencies are averaged.



Data supplied from the **esp@cenet** database - Worldwide

⑪公開特許公報 (A) 昭61-151897

⑯Int.Cl.⁴
G 11 C 17/00
7/00識別記号 101
厅内整理番号 6549-5B
6549-5B

⑰公開 昭和61年(1986)7月10日

審査請求 未請求 発明の数 1 (全10頁)

④発明の名称 メモリの内容格納方法

⑪特願 昭59-273135
⑫出願 昭59(1984)12月26日⑬発明者 鯉渕 正一 東京都大田区西六郷4丁目28番1号 山武ハネウエル株式会社内
⑭出願人 山武ハネウエル株式会社 東京都渋谷区渋谷2丁目12番19号
⑮代理人 弁理士 山川 政樹 外2名

明細書

1. 発明の名称

メモリの内容格納方法

2. 特許請求の範囲

内容の更新が可能であり、かつ、電源が切断されても内容を保持すると共に、内容更新の回数が制限されているメモリに対し、内容の格納を行なう方法において、最初のデータ格納に際し前記メモリの格納エリア中特定番地へデータを格納すると共に次位およびこれにつぐ各番地へ各々エンドマークを格納し、つぎのデータ格納時には前記エンドマークの格納された先位側の番地へデータを格納すると共に前記エンドマークの格納された後位側番地の次位の番地へ前記エンドマークを格納し、以降同様の格納操作を必要に応じて反復することを特徴としたメモリの内容格納方法。

3. 発明の詳細を説明

〔産業上の利用分野〕

本発明は、EEPROM (Electrically Erasable and Programmable Read Only

Memory.) 等の、内容更新が可能であり、かつ、電源が切断されても内容を保持すると共に、内容更新の回数が制限されているメモリに対し、内容の格納を行なう方法に関するものである。

〔従来の技術〕

一般に、制御装置、データ処理装置においては、半固定的なデータ、または、動作上逐次発生する可変データ中後に参照するものは、RAM (Random Access Memory.) へ格納のうえ、電源の切断によつても内容が消滅しないものとする目的上、RAM を電池等のバックアップ電源により動作状態を維持するものとしているが、電池の交換またはバックアップ電源への切替回路等を要するため、近来は、EEPROM を用いるものとなつてゐる。

〔発明が解決しようとする問題点〕

しかし、現在のEEPROMは、内容更新の回数に制限があり、一般のRAMと同じくランダムに任意な番地へデータを格納し、かつ、これと同一番地の内容を更新しながらデータを格納すると、

短期間により内容の更新が不可能となる問題を生ずる。

〔問題点を解決するための手段〕

前述の問題を解決するため、本発明はつきの手段により構成するものとなつてゐる。

すなわち、EEPROM等のメモリに対し内容の格納を行なう方法において、最初のデータ格納に際し、メモリの格納エリア中特定番地へデータを格納すると共に次位およびこれにつぐ各番地へ各々エンドマークを格納し、つきのデータ格納時にはエンドマークの格納された先位側の番地へデータを格納すると共にエンドマークの格納された後位側番地の次位の番地へエンドマークを格納し、以降同様の格納操作を必要に応じて反復するものとしている。

〔作用〕

したがつて、まず、格納エリアの特定番地へデータが格納され、ついで、エンドマークの格納された先位側の番地へ内容を更新のうえ、つきのデータが格納され、以降順次に、必要に応じて以上

制御動作を行ない、必要とするデータをRAM3に対してアクセスすると共に、EEPROM4～6へもアクセスし、EEPROM4～6中へ格納されている文字、記号等のパターンを用いてプリントアウトのデータを編集のうえ、I/F・8を介してPRT9へ送出し、これによつて所定のデータを印字せるものとなつてゐる。

なお、文字、記号等のパターンは、I/F・7を介して必要とするものが与えられ、これをEEPROM4～6へ格納のうえ使用される。

第1図は、EEPROM4～6に対するデータの格納状況を示す図であり、この例では、これらがコードエリアCEとデータエリアDEとに分割され、データエリアDEには文字、記号等のパターンを示すデータDT0～DTnが順次に格納され、格納エリアとして用いるコードエリアCEの先頭番地*0乃至最終番地*n+2にわたつては、データDT0～DTnに対応させたデータコードDC0～DCn、および、エンドマークEMが格納されると共に、コードエリアCEおよびデータエリア

の操作が反復されるものとなり、各番地の内容更新回数がほど均等になると共に、格納中に電源が切断されても内容の有効性決定が支障なく行なえるものとなる。

〔実施例〕

以下、実施例を示す図によつて本発明の詳細を説明する。

第2図は、EEPROMを用いる装置のブロック図であり、マイクロプロセッサ等のプロセッサ(以下、CPU)1を中心とし、固定メモリ(以下、ROM)2、可変メモリ(以下、RAM)3、EEPROM4～6、および、インターフェイス(以下、I/F)7,8を周辺に配し、これらを母線により接続しており、I/F・7を介しては図上省略した上位の主電算機またはキーボード、ブラウン管表示装置等からなる端末機器が接続され、I/F・8を介してはプリンタ(以下、PRT)9が接続されている。

こゝにおいて、CPU1はROM2中の命令を実行し、I/F・7を介する入力データに応じて

DE以外の番地*riには、データコードDC0～DCnが有効であることを示す有効マークAMが格納されるものとなつてゐる。

すなわち、最初のデータ格納に際しては、(A)のとおり、特定番地としての先頭番地*0へデータコードDC0を格納すると共に、次位およびこれにつぐ各番地*1、*2へエンドマークEMを格納する一方、データコードDC0と対応するデータDT0をデータエリアDEの先頭番地を基準として複数番地にわたり連接して格納する。

なお、*印が新らかに格納されたことを示している。

ついで、(B)のとおり、つきのデータを格納するときは、コードエリアCEのエンドマークEMが格納されている先位側の番地*1へ内容を更新のうえデータコードDC1を格納すると共に、エンドマークEMの格納された後位側番地*2の次位の番地*3へエンドマークを格納し、データエリアDEにはデータDT1につぐ各番地へデータDT1を格納し、以降、同様の操作を最終番地*n+2

まで反復する。

すると最後には、(C)のとおり最終番地 $*_{n+2}$ およびこれの直前の番地 $*_{n+1}$ へエンドマーク EM が格納され、エンドマーク EM の格納された先位側番地 $*_{n+1}$ の直前の番地 $*_n$ へデータコード DC_n が格納されると共に、データエリア DE では、最終番地側へデータ DT_n が格納される。

したがつて、コードエリア CE においては、番地 $*_0$ および $*_{n+2}$ が各1回、番地 $*_1$ ～ $*_{n+1}$ では各2回の格納がなされると共に、データエリア DE においては各番地に対し各々1回の格納が行なわれるものとなり、格納回数の平均化が実現する。

また、内容の読み出しに際しては、まず、番地 $*_r$ の有効マーク AM をチェックし、これが正常であれば、番地 $*_0$ から、エンドマーク EM が正常に連続して格納されている先位側番地の直前の番地までのデータコードが有効であり、データコードに応じてデータエリア DE のデータを読み出して用いるものとすればよい。

→ EM の格納済先位番地 $*_{121}$ により1番目のデータコード DC₁ をエンドマーク EM の格納されている先位側の番地へ格納し、1番目のデータ DT₁ を、 DT₁ → DE $*_{122}$ により格納してから、エンドマーク EM → EM の格納済後位番地 $*_{123}$ により、エンドマーク EM の格納されている後位側番地の次位の番地へエンドマーク EM を格納し、ループを介してステップ 101 以降を必要に応じて反復する。

第4図は、同様の読み出し操作を示すフローチャートであり、番地 $*_r$ IC AM あり? 201 が YES であれば、エンドマーク EM 連続? 202 をチェックし、これの YES に応じて先頭番地 $*_0$ から先位 EM の直前の番地までの内容有効? 211 と決定し、データエリア DE の対応するデータ読み出し? 212 を行なう。

また、ステップ 202 が NO のときは、先頭番地 $*_0$ から EM の番地 -2 までの内容有効? 221 の決定を行ない、ステップ 212 へ移行する。

たゞし、エンドマーク EM が連続して格納されていなければ、後位側のエンドマーク EM を格納する際に電源断等が生じた場合であり、格納されているエンドマーク EM の番地から2を差引いた順位の番地までのデータコードが有効となる。

以上に対し、内容をクリアして再履格納を行なう際は、クリアと共に有効コード AM の各ビットを反転して \overline{AM} とするか、各ビットのクリアを行なうことにより、内容がすべてクリアされていることを表示できる。

第3図は、CPU 1 IC による格納操作のフローチャートであり、まず、番地 $*_r$ IC AM あり? 101 をチェックし、これが NO であれば、DC₀ → $*_0$ 111 により番地 $*_0$ へデータコード DC₀ を格納し、DT₀ → DE $*_{112}$ によりデータ DT₀ をデータエリア DE へ格納のうえ、EM → $*_1$ $*_2$ 113 によりエンドマーク EM を番地 $*_1$ 、 $*_2$ へ格納し、かつ、有効マーク AM → $*_r$ 114 により番地 r へ格納する。

また、ステップ 101 が NO のときは、DC₁

これに対し、ステップ 201 が NO のときは、内容無効? 231 と決定する。

第5図は、他の実施例を示す格納状況の図であり、第1図と同様であるが、コードエリア CE は先頭番地 $*_0$ ～ 最終番地 $*_n$ IC により構成され、データコード DC₁ 以降、エンドコード EM、および、スタートマーク SM が格納されるものとなつており、番地 $*_0$ ～ $*_n$ が $*_n$ から $*_0$ へかけても循環的に使用されるものとなつてている。

なお、データエリア DE も同様に循環的に使用される。

すなわち、最初のデータ格納に際しては、(A)のとおり、先頭番地 $*_0$ および次位の番地 $*_1$ へスタートマーク SM を格納すると共に、第3位の番地 $*_2$ へデータコード DC₁ を格納し、かつ、これの次位およびこれにつぐ各番地 $*_3$ 、 $*_4$ へエンドマーク EM を格納する一方、データコード DC₁ と対応するデータ DT₁ をデータエリア DE の先頭番地を基準として複数番地にわたり連続して格納する。

なお、・印が第1図と同じく新らたに格納されたことを示している。

ついで(B)のとおり、つぎのデータを格納するときは、コードエリアCEのエンドマークEMが格納されている先位側の番地³へ内容を更新のうえデータコードDC₂を格納すると共に、エンドマークEMの格納されている後位側番地の次位の番地⁵へエンドマークEMを格納し、データエリアDEにはデータDT₁につぐ各番地へデータDT₂を格納し、以降、同様の格納操作を最終番地ⁿまで反復する。

すると、遂には(C)のとおり、最終番地ⁿより二つ前の番地ⁿ⁻²へデータコードDC_{n-3}が格納されると共に、最終番地ⁿにはエンドマークEMが格納され、データエリアDEにおいてはデータDT_{n-3}が格納される。

また、これにつぐデータの格納時には、最終番地ⁿの直前の番地ⁿ⁻¹へデータコードDC_{n-2}を格納すると共に、先頭番地⁰へエンドマークEMを、スタートマークSMの格納された後位側

データDT₀～DT_nおよびDT₁以降は各々が72バイトにより構成されるものとなつてゐるため、これらのバイト数に応じて各エリアCE, DEおよびスペースの番地数および格納容量が定められる。

したがつて、第5図の場合、コードエリアCEにおいては、(A)～(E)を1周期とすれば、番地⁰、²、³が各3回、番地¹、⁴、ⁿが各2回、その他の各番地が各1回の格納操作を受けるものとなり、これと同様の周期を必要に応じて反復すれば、各番地の内容更新回数がほぼ均等となる。

また、内容の読み出しに際しては、各スタートコードSMをチェックし、これらが正常であれば、これらにつぐ番地乃至二つのエンドマークEMが正常に格納されている番地の直前の番地までのデータコードが有効であり、これを番地⁰～ⁿ、更にⁿから⁰へかけて循環的に確認し、データコードに応じてデータエリアDEのデータを読み出して用いるものとすればよい。

番地¹の次位の番地²へスタートマークSMを各々内容を更新のうえ格納する一方、データエリアDEには、データコードDC_{n-2}と対応するデータDT_{n-2}を格納し、(D)の状態とする。

更に、データを格納する際は、(E)のとおり、エンドマークEMの格納された先位側番地ⁿへデータコードDC_{n-1}を格納すると共に、エンドマークEMの格納された番地⁰の次位の番地¹へエンドマークEMを格納し、かつ、スタートマークSMの格納された後位側番地²の次位の番地³へスタートマークSMを格納し、以降、同様の格納操作を必要に応じて反復すると、(F)の状態を介して逐次データコードDC_n以降およびデータDT_n以降が順次にかつ循環的に格納され、これによつて内容の更新が行なわれる。

なお、データコードDC₀～DC_nおよびDC₁以降としては2バイトが用いられ、有効マークAM、スタートマークSMおよびエンドマークEMとしては、データコードDC₀～DC_nおよびDC₁以降とは別個のコードを用いるものとなつており、

すなわち、スタートマークSMおよびエンドマークEMが正常に格納されていれば、データコードおよびデータも正常であり、電源断等により格納中に異常を生ずれば、スタートコードSMまたはエンドマークEMが正常に格納されないものとなる。

このため、同様の手順により、電源切断後の再投入時に内容のチェックを行ない、内容が有効か否かを高信頼性により判断することができる。

第6図は、CPU1による格納操作のフローチャートであり、・最初のデータ? 301を判断し、これがYESであれば、SM→⁰、¹ 311によりスタートマークSMを番地⁰および¹へ格納し、DC₁→² 312によつてデータコードDC₁を番地²へ格納のうえ、DT₁→DE 313によつてデータDT₁をデータエリアDEへ格納してから、EM→³、⁴ 314によつてエンドマークEMを番地³および⁴へ格納する。

ステップ301がNOであれば、番地ⁿに

EMあり?" 302 をチェックし、これの NO に応じて 1番目のデータコード・DC_i → EM の格納済先位番地の直前の番地" 321 に より エンドマーク EM の格納されている先位番地の直前の番地へ格納し、これに応するデータ・DT_i → DE" 322 によってデータエリア DE へ格納のうえ、" EM → EM の格納済後位番地 + 1" 323 により、循環的な順位を含めてエンドマーク EM をこれの格納されている後位番地の次位の番地へ格納する。

また、ステップ 302 の YES に応じては、スタートマーク・SM → SM の格納済後位番地 + 1" 331、および、ステップ 321、322 と同じく、DC_i → EM の格納済先位番地の直前の番地" 332、" DT_i → DE" 333 を行ない、エンドマーク・EM → SM の格納済先位番地" 334 を行なつてから、主ルーチンを介してステップ 301 以降を反復する。

第 7 図は、同様な読み出し操作を示すフローチャートであり、まず、コードエリア CE にスター

422 へ移行する。

以上に対し、ステップ 401、402 のいずれかが NO のときは、内容無効" 471 と決定し、直ちに主ルーチンを介してステップ 401 以降を反復する。

ただし、第 1 図および第 5 図においては、データ DT₀ ~ DT_n および DT_i 以降のバイト数が多いため、コードエリア CE と別途にデータエリア DE を設けたが、データ DT₀ ~ DT_n および DT_i 以降のバイト数が少なければ、コードエリア CE のみとし、データコード DC₀ ~ DC_n および DC_i 以降としてデータ DT₀ ~ DT_n および DT_i 以降を格納してもよく、第 1 図または第 5 図の構成とする場合は、データコード DC₀ ~ DC_n および DC_i 以降へデータ DT₀ ~ DT_n および DT_i 以降の格納番地コードを付加し、あるいは、CPU 1 がデータコード DC₀ ~ DC_n および DC_i 以降に応じてデータ DT₀ ~ DT_n および DT_i 以降の格納番地を判断し、コードエリア DE において格納番地を順次に定めるものとしてもよく、第

トマーク・SM あり?" 401 およびエンドマーク・EM あり?" 402 をチェックし、いずれも YES であれば、スタートマーク・SM 連続?" 411 およびエンドマーク・EM 連続?" 412 を確認し、これらの YES に応じて、後位 SM のつぎの番地から先位 EM の直前の番地までの内容有効" 421 と決定し、データエリア・DE から対応するデータ読み出し" 422 を行なう。

また、ステップ 412 が NO のときは、後位 SM のつぎの番地から先位 EM の番地 - 2 までの内容有効" 431 と決定し、ステップ 422 へ移行する。

一方、ステップ 411 の NO に応じては、エンドマーク・EM 連続?" 441 を確認し、これが YES であれば、スタートマーク・SM の番地 + 2 から後位 EM の直前の番地までの内容有効" 451 と決定し、ステップ 422 へ移行する。

また、ステップ 441 が NO のときは、スタートマーク・SM の番地 + 2 から EM の番地 - 2 までの内容有効" 461 と決定し、ステップ

2 図の構成も条件に応じた選定が任意である等、種々の変形が自在である。

〔発明の効果〕

以上の説明により明らかなどおり本発明によれば、EEPROM 等の内容更新回数が制限されたメモリにおいて、各番地毎にほぼ均等な回数により内容更新が行なわれ、特定番地へ内容更新の回数が集中せず、メモリの全般的な寿命が延長されるものになると共に、EEPROM へデータを格納中に電源が切断されてもエンドマーク EM が消滅せず、有効性の決定が支障なく行なえ、かかるメモリの内容格納方法として顕著な効果が得られる。

4. 図面の簡単な説明

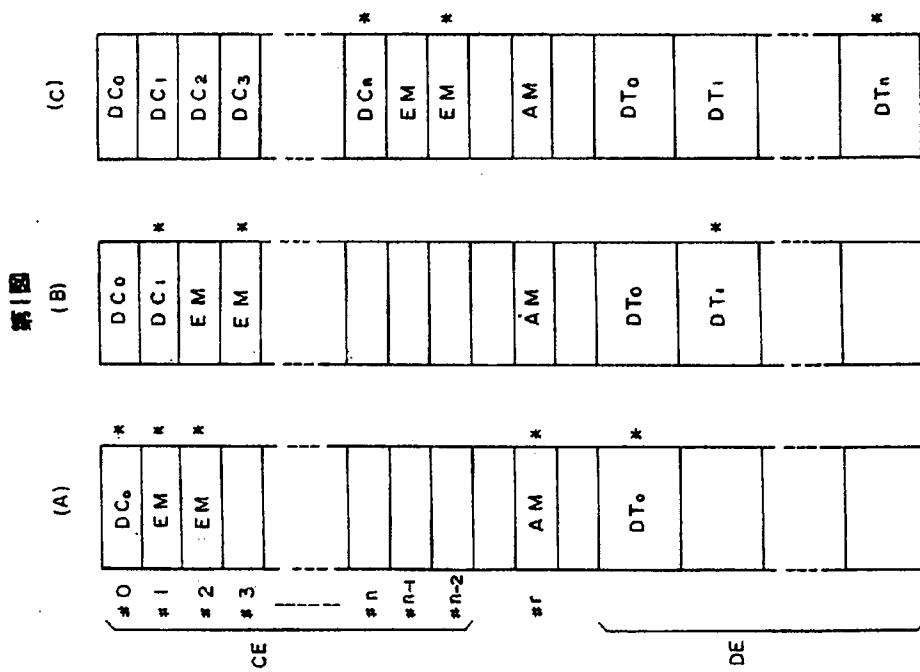
図は本発明の実施例を示し、第 1 図は EEPROM に対するデータの格納状況を示す図、第 2 図は EEPROM を用いる装置のプロック図、第 3 図は CPU による格納状況のフローチャート、第 4 図は同様の読み出し状況を示すフローチャート、第 5 図は他の実施例を示す第 1 図と同様な図、第 6 図および第 7 図は第 5 図と対応する第 3 図および

第4図と同様な図である。

1 CPU (プロセッサ)、4 ~ 6 . . .
 . . . EEPROM (メモリ)、CE コード
 エリア (格納エリア)、DE データエリ
 ア、DC₀ ~ DC_n データコード、AM
 有効マーク、SM スタートマー
 ク、EM エンドマーク、DT₀ ~ DT_n . .
 データ。

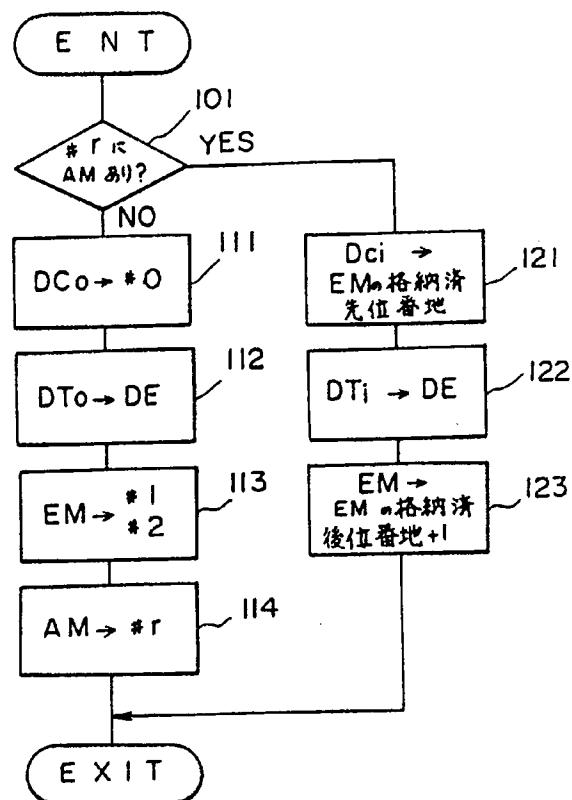
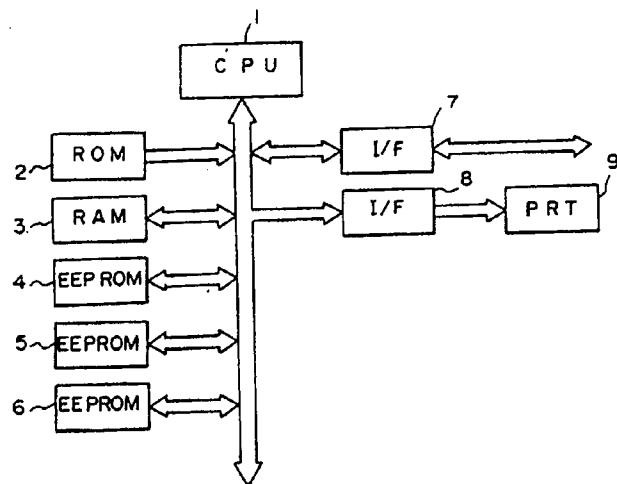
特許出願人 山武ハネウエル株式会社

代理人 山川政樹 (ほか2名)

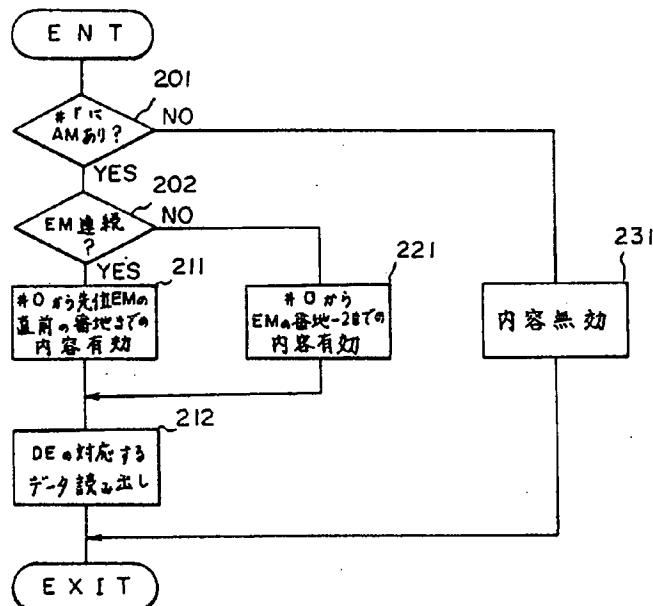


第3図

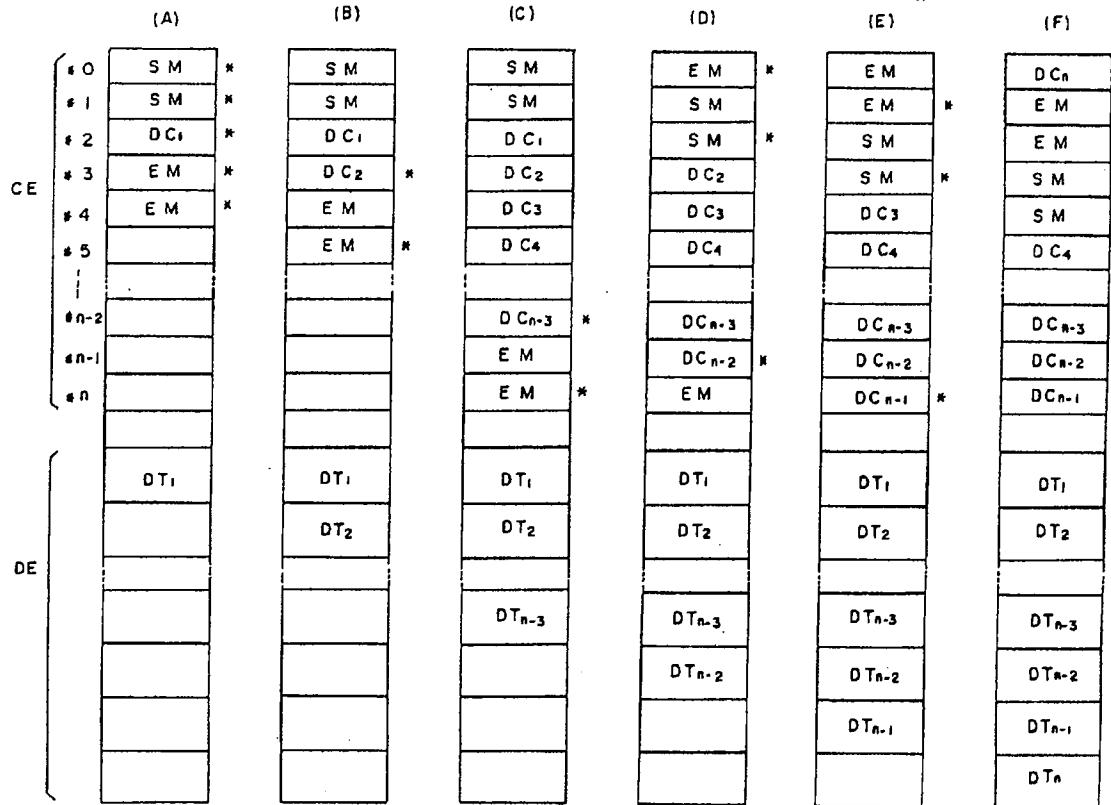
第2図



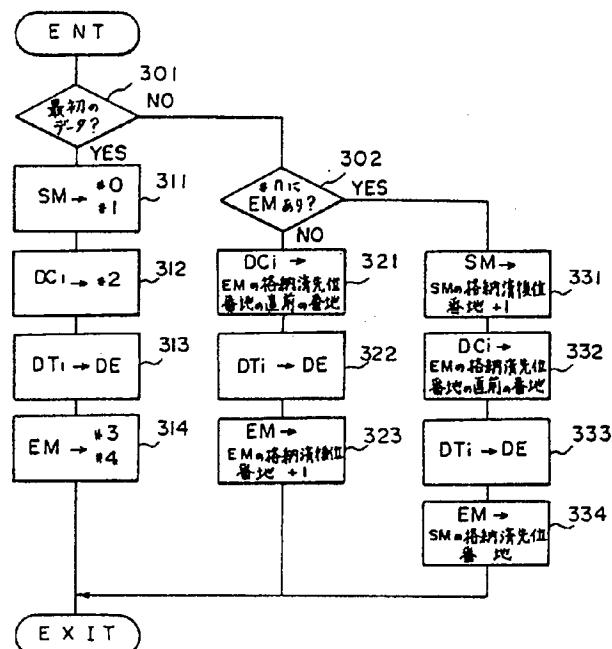
第4図



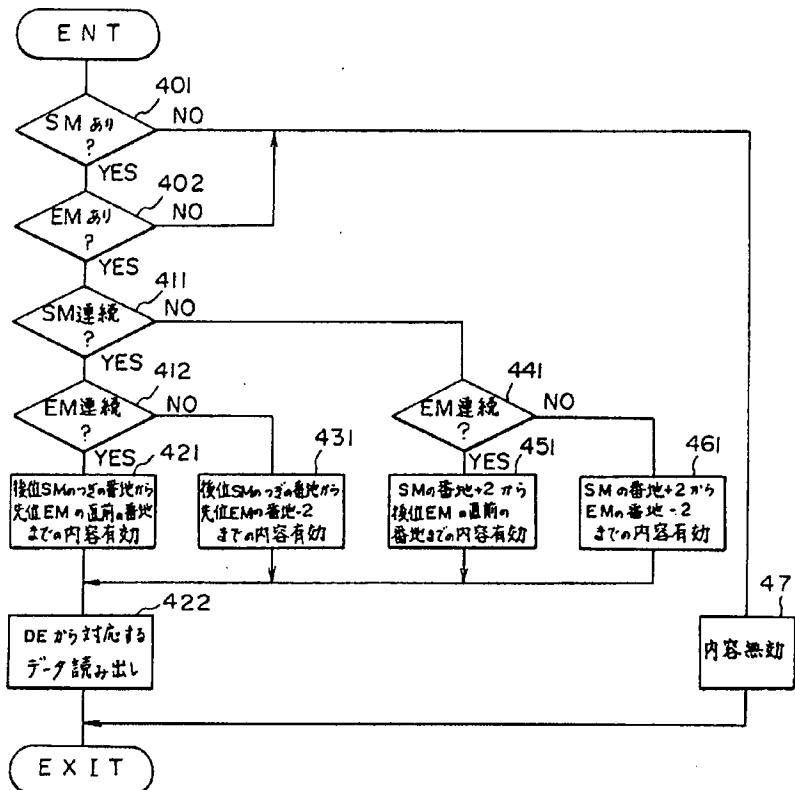
第5図



第6図



第7図



手 続 補 正 書 (自発)

特許庁長官殿

昭和 年 月 日

60.5.20

(1) 明細書17頁19行の「コードエリア」を
「データエリア」と補正する。

(2) 第6図および第7図を別紙のとおり補正する。

1. 事件の表示

昭和59年特許第273135号

以 上

2. 発明の名称

メモリの内容格納方法

3. 補正をする者

事件との関係 特許出願人

名称(氏名)(666)山武ハネウエル株式会社

4. 代理人 〒100 居所 東京都千代田区永田町2丁目4番2号
秀和溜池ビル8階
山川国際特許事務所内
氏名 (6462)弁理士山川政樹

補正命令の日付 昭和 年 月 日
補正により増加する発明の数

行
行

5. 補正の対象

(1) 明細書の発明の詳細な説明の欄

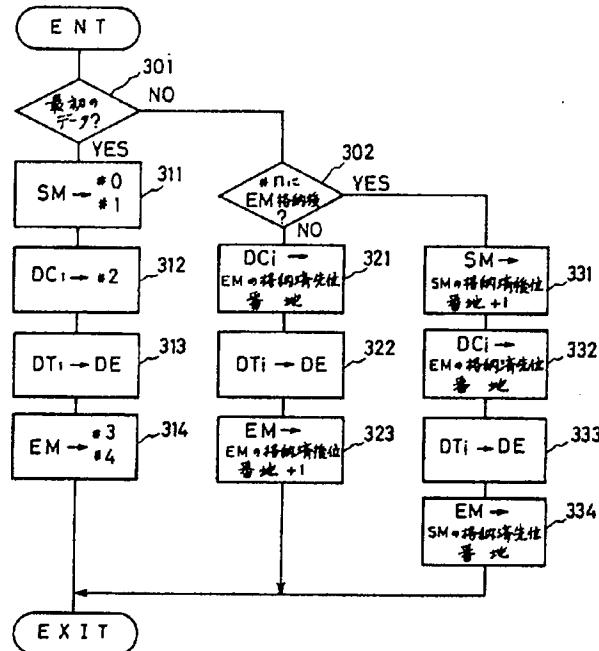
(2) 図面

6. 補正の内容

方式
審査 小島

特許庁
60.5.20
出願第一回

第6図



第7図

